

CLIPPEDIMAGE= JP402280342A

PAT-NO: JP402280342A

DOCUMENT-IDENTIFIER: JP 02280342 A

TITLE: MOS SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

PUBN-DATE: November 16, 1990

INVENTOR-INFORMATION:

NAME

KUROI, TAKASHI

INUISHI, MASAHIKE

IMITSUI, KATSUKICHI

ASSIGNEE-INFORMATION:

NAME COUNTRY

IMITSUBISHI ELECTRIC CORP N/A

APPL-NO: JP01102232

APPL-DATE: April 20, 1989

INT-CL (IPC): H01L021/336;H01L021/265 ;H01L029/784

US-CL-CURRENT: 257/408,438/305 ,438/FOR.204

ABSTRACT:

PURPOSE: To alleviate an electric field of a drain and to increase the lifetime of an element without reducing a driving capacity by forming an intermediate concentration impurity region and a low concentration impurity region covered with a gate electrode adjacent to source, drain regions of high impurity concentration region.

CONSTITUTION: With the sidewall of a gate oxide film 2 of a lower part of a gate electrode 3 as a mask it is obliquely ion implanted. Then, N<SP>-</SP> type regions 5, 5' of reverse conductivity type low concentration impurity reigns to that of a semiconductor substrate 1 covered with the electrode 3 are formed, and N<SP>+</SP> type region of high concentration impurity active

region becoming N-type regions 6, 6' of an intermediate concentration impurity active regions, drain, source regions 7, 8 are formed adjacent thereto. The regions 5, 5' are superposed on the electrode 3 to alleviate the electric field of the drain, the operating characteristic of triode region is enhanced by the decrease in a parasitic resistance due to the formation of a charge storage layer, characteristic deterioration due to hot carrier is prevented to enhance the lifetime of a semiconductor element.

COPYRIGHT: (C)1990,JPO&Japio

⑫ 公開特許公報 (A)

平2-280342

⑬ Int. Cl.⁵H 01 L 21/336
21/265
29/784

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)11月16日

8422-5F H 01 L 29/78
7522-5F 21/265 301 L

審査請求 未請求 請求項の数 2 (全6頁)

⑮ 発明の名称 MOS型半導体装置及びその製造方法

⑯ 特願 平1-102232

⑰ 出願 平1(1989)4月20日

⑱ 発明者 黒井 隆 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社エル・エス・アイ研究所内

⑲ 発明者 犬石 昌秀 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社エル・エス・アイ研究所内

⑳ 発明者 光井 克吉 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社エル・エス・アイ研究所内

㉑ 出願人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

㉒ 代理人 弁理士 大岩 増雄 外2名

明細書

1. 発明の名称

MOS型半導体装置及びその製造方法

2. 特許請求の範囲

(1) 半導体基板上に形成されたゲート絶縁膜と、このゲート絶縁膜上に形成されたゲート電極と、このゲート電極の側壁に形成されたサイドクォールと、このゲート電極の両側に形成されたMOSトランジスタのソース・ドレインとなる前記基板と反対の導電型を有する高濃度の不純物活性層と、このソース・ドレインとなる高濃度の不純物層に隣接し、前記サイドクォールに覆わるように形成された前記基板と反対の導電型を有する中濃度の不純物活性層と、前記中濃度の不純物活性層に隣接し、前記ゲート電極に覆わるように形成された前記基板と反対の導電型を有する低濃度の不純物活性層からなるMOS型半導体装置。

(2) 半導体基板にゲート絶縁膜とゲート電極を形成する工程と、前記半導体基板と反対の導電型の不純物をイオン注入により斜め方向から前記基板

にイオン注入を行なう工程と、前記ゲート電極の側壁にサイドクォール酸化膜を形成する工程と、前記半導体基板と反対の導電型の二種類の不純物を前記基板に垂直にイオン注入する工程と、熱処理を加えて前記イオン注入した不純物を活性化する事から成るMOS型半導体装置の製造方法。

3. 発明の詳細な説明

〔産業上の利用分野〕

この発明はMOSトランジスタの構造及びその製造方法に関するものである。

〔従来の技術〕

従来、短チャネルMOSトランジスタのドレイン部の電界を緩和する構造として第3図に示すようなドレイン・ソース構造を有するLightly Doped Drain (LDD)トランジスタがTSAW等により発表されている。(IEEE Transaction Electron Devices VOL. ED-29 1982)、第3図はNチャネルMOSのLDDトランジスタを示しており、ソース(7)及びドレイン(8)は高濃度のN型不純物拡散層(7), (8)及び~ $10^{17}/\text{cm}^2$ から $10^{18}/\text{cm}^2$ の

低濃度のN⁻型不純物層(5)から成りポリシリコン電極(8)の側壁は酸化膜(6)からなるサイドウォールがありN⁻型不純物拡散層(5)の一部はポリシリコンからなるゲート電極(8)下にゲート電極(8)の端から数百Å内側にあり、残部はサイドウォール(6)の下部にある。

次にこのNチャネルLDDMOSトランジスタの製造方法について第4図を用いて説明する。P型半導体基板(1)上にゲート酸化膜(2)とポリシリコンから成るゲート電極(8)を形成し(図4-1)、リシ又はヒソ等のN型不純物をゲート電極(8)をマスクとして、半導体基板(1)に～10¹³/cm²のドーズ量をイオン注入し(図4-2)、焼いてCVD(Chemical Vapo Deposition)法により酸化膜(6)を形成し(図4-3)、異方性エッティングにより酸化膜(6)をゲート電極(8)の側壁にのみ残し(図4-4)、ゲート電極(8)及びゲート電極(8)の側壁に残った酸化膜(6)をマスクとして高濃度のN型不純物を注入する。この後熱処理を加えて注入された不純物(5), (7), (8)を活性化及び拡散させて最終的に

時空乏層の幅は $w = \sqrt{\frac{4\varepsilon_0}{\rho N_A} (N_A + N_D)}$ となり、低濃度のN⁻/P基板のPN接合の方が電界が下がる、第3図に示す従来のLDDトランジスタは基板(1)と高濃度のN型不純物拡散層(5)とのPN接合部の間に低濃度のN型不純物領域(6)を設ける事により電界を緩和しているわけである。

次にLDDトランジスタの動作状態について説明する。トランジスタの動作はドレイン電圧V_Dがゲート電圧V_Gより大きい(V_D > V_G)の五極間領域図5-1とゲート電圧V_Gがドレイン電圧よりも大きい(V_G ≥ V_D)三極間領域図5-2の二つに分けられる。図5-1に示す五極間領域では反偏圧(9)とN⁻/N⁺からなるドレイン(6), (7)の間に高抵抗の空乏化された領域が形成される。

反偏圧から成るチャネルの抵抗以外に寄生抵抗としてソース側の低濃度のN⁻(5')の抵抗、ドレイン側空乏層の抵抗及びドレイン側N⁻(6)の抵抗がドレイン電流の低下を招く、3極管領域に於ては図5-2に示すように寄生抵抗としてソース側N⁻(5)の抵抗とドレイン側N⁻(6)の抵抗がトランジス

ト4-5に示すような不純物プロファイルが得られる。

次に従来のLDD構造の原理を第3図を用いて説明する。トランジスタのソース(8)及び基板(1)は例えば0Vの電位に接地されており、ドレイン(7)は電源電圧(例えば5V)が与えられる。このためN型のドレイン部(7), (6)とP型半導体基板(1)とのP/N接合には逆バイアスが与えられ高電界が発生する。

このドレイン電界を緩和するには空乏層の幅を大きくすればする程電界は緩和するわけである。P/N接合の空乏層の幅wは

$$w = \sqrt{\frac{2\varepsilon_0 (N_A + N_D)}{\rho N_A}} \quad (1) \quad \text{で与えられる。}$$

ここでN_Aはアクセプタ濃度、N_Dはドナー濃度であり、ε₀は半導体の誘電率、ρは電荷量である。N型の不純物濃度がP型半導体の不純物濃度よりも著しく高い場合、即ちN_D ≥ N_Aの時空乏層の幅は $w = \sqrt{\frac{2\varepsilon_0}{\rho N_A}}$ となり、N型の不純物濃度が低くてP型半導体基板の濃度に等しくなると、即ちN_A = N_Dの

時の駆動能力を下げる。

(発明が解決しようとする課題)

従来のLDDMOSトランジスタは以上のように構成されているので低濃度のN⁻型不純物層(5)が設けられているのでMOSトランジスタの寄生抵抗が大きくなり電流駆動能力が落ちるという問題点が有つた。

また従来のLDDMOSトランジスタのドレン構造では低濃度のN型不純物拡散層(5)の表面で熱平衡状態よりも大きいエネルギーを有するホットキャリアを生成し、その発生したホットキャリアがMOSトランジスタのゲート電極(8)の横の酸化膜に注入され、その結果ドレイン側のN⁻の表面が空乏化され、N部の抵抗が上がり、MOSトランジスタのドレン特性が劣化する等の問題点が有つた。

この発明は上記のような問題点を解消するためになされたものでMOSトランジスタのドレイン部の電界を緩和できるとともに、MOSトランジスタの3極管・5極管の駆動能力を落とさずに、

素子の寿命を大幅に改善できる LDD MOS トランジスタ及びその製造方法を得ることを目的とする。

[課題を解決するための手段]

この発明に係る LDD MOS トランジスタは低濃度の N⁻領域をゲート電極と重なるように回転斜めイオン注入を使用し、ゲート電極の側壁に残した酸化膜をマスクとし、リンイオンとビ素イオンを同時に注入し熱処理を行なうことにより N⁻層の長さを制御よく形成したものである。

[作用]

この発明における LDD MOS トランジスタは低濃度の N⁻領域をゲート電極と重なるように形成したので三極管領域の動作特性が、電荷蓄積層の形成による寄生抵抗の低下で向上し、且つ N⁻層がゲート電極下にありホットキャリアによる特性劣化が抑えられる。

[発明の実施例]

以下、この発明の一実施例を第1図及び第2図を用いて説明する。第1図は本発明の LDD MOS

Sトランジスタの断面図を示したもので P型半導体基板(1)上にゲート酸化膜(2)とゲート電極(8)とゲート電極横の酸化膜(4)が設けられ、低濃度の不純物活性層 N⁻(5)(5')の全体がゲート電極(8)に覆われるよう中濃度の不純物活性層 N⁻(6)(6')と隣接して形成され、さらに、中濃度の不純物活性層 N⁻(6)(6')と隣接して N型高濃度不純物活性層(7)(8)が形成されている。従来の第3図のものの低濃度の領域(5)の位置に、中濃度の領域(6)が設けられている。

第2図を用いて本発明である LDD MOS トランジスタの製造方法について説明する。

半導体基板(1)に素子分離領域及びしきい値電圧を制御するためのチャネル注入を行なつた後(図示せず)、ゲート酸化膜(2)、ゲート電極(8)を形成する(図2-1)。次にゲート電極(8)をマスクとして、基板に対して斜め方向から基板を回転しながら～10¹³/cm²の N型不純物リンをイオン注入し、低濃度の N⁻不純物層を形成する(図2-2)。次に CVD 法により酸化膜(4)を形成し(図2-3)、異方性エッチングにより酸化膜(4)をゲート

電極(8)の側壁にのみ残す(図2-4)。次にゲート電極(8)とゲート電極横の酸化膜(4)をマスクとして基板(1)に垂直な方向から～10¹⁴/cm²のリンイオンと～10¹⁵/cm²の砒素イオンの N型不純物を同時にイオン注入し中濃度の N⁻領域(6)および高濃度の N⁺ソース・ドレイン不純物層(7)(8)を形成する(図2-5)。この後熱処理を加えると、リンイオンは砒素イオンより拡散しやすいのでサイドウォールの下にリンイオンが拡散し、中濃度の不純物活性層が形成され最終的に図2-6のような不純物プロファイルを形成する。

以下本発明による製造方法によつて作られた LDD MOS トランジスタの特性について説明する。

本発明の LDD MOS トランジスタでは第1図に示すように高抵抗の N⁻部(5)(5')の横に高抵抗の N⁻部(6)(6')よりも低抵抗な N⁻部(6)(6')を設けているため、高抵抗の N⁻部のみを設けた従来の LDD 構造に比べ三極管領域及び五極管領域とともに電流駆動能力は上がる。更に N⁻部(5)(5')が第1図に示すようにゲート電極(8)下に有るために、三極管領

域、即ちゲート電圧 V_Gがドレイン電圧 V_Dより大きい時はゲート電極から基板への電界により N⁻部の表面のキャリア濃度は電荷蓄積により増加し N⁻部の寄生抵抗は減少する。

また本発明による LDD MOS トランジスタでは高電界のかかるドレイン部での衝突電離によるキャリアの生成がゲート電極(8)下で起こるが、通常の LDD 構造ではサイドウォールの酸化膜(4)の下で生成が起こる。このため従来の構造ではサイドウォール酸化膜(4)に捕獲された電子により N⁻部(6)の表面が空乏化されて寄生抵抗が上がり MOS トランジスタの駆動能力が低下する等の劣化を起こしやすいが、本発明の LDD トランジスタでは N⁻部(6)の上部のゲート酸化膜(2)に電子が捕獲されてもゲート電極(8)からの電界により N⁻部(6)が空乏化しにくく寄生抵抗は増大せず、劣化を起こしにくい。

また、本発明による LDD MOS トランジスタではリンイオンは砒素イオンに比べ拡散しやすいので、中濃度の N⁻領域(6)が形成され、その濃度は

N^+ 低抵抗領域(7), (8)から高抵抗の N^- 領域(5)に至るまで段階的に減少するのでその結果十分に電界緩和できる N^- 長を得ることができる。更に LDD MOSトランジスタのチャネル方向の長さ、深さをイオン注入の加速電圧、角度を変える事により制御できる。

この発明は次の(1)～(6)項の実施態様により実施できる。

(1)半導体基板上に形成されたゲート絶縁膜と、このゲート絶縁膜上に形成されたゲート電極と、このゲート電極の側壁に形成されたサイドウオール酸化膜と、このゲート電極の両側に形成されたMOSトランジスタのソース・ドレインとなる前記基板と反対の導電型を有する高濃度の不純物活性層と、このソース・ドレインとなる高濃度の不純物活性層に隣接し、前記サイドウオールに覆わるよう形成された前記基板と反対の導電型を有する中濃度の不純物活性層と、この中濃度の不純物活性層に隣接し、前記ゲート電極に覆わるよう形成された前記基板と反

$1 \times 10^{14}/\text{cm}^2$ の注入量を前記基板の面に対して斜め方向から注入し、2度目のイオン注入はリシとヒソであり、それぞれ $1 \times 10^{13}/\text{cm}^2 \sim 1 \times 10^{15}/\text{cm}^2$, $1 \times 10^{14}/\text{cm}^2 \sim 1 \times 10^{16}/\text{cm}^2$ の注入量を前記基板の面に対して垂直に注入する事を特徴とする第1項記載のMOSトランジスタの製造方法。

[発明の効果]

以上のようにこの発明によれば、低濃度の不純物活性層と中濃度の不純物活性層を形成したので、寄生抵抗を小さくでき、大きい駆動能力を有するトランジスタを製造でき、また低濃度の不純物活性層をゲート電極が覆うように形成したのでホットキャリアによる電子の劣化を大幅に軽減できる。また、この発明による製造方法では、セルフアラインにゲート電極が覆うように低濃度の不純物層を形成できるだけでなく、拡散の速度の遅いにより、中濃度および高濃度の不純物層を形成できる。

4. 図面の簡単な説明

対の導電型を有する低濃度の不純物活性層からなるMOSトランジスタ。

- (2)前記中濃度の不純物活性層の濃度が $5 \times 10^{17}/\text{cm}^2$ から $5 \times 10^{19}/\text{cm}^2$ の範囲の濃度を有し、前記低濃度の不純物活性層の濃度が $5 \times 10^{16}/\text{cm}^2$ から $5 \times 10^{18}/\text{cm}^2$ の範囲の濃度を有し、高濃度の不純物活性層の濃度が $5 \times 10^{18}/\text{cm}^2$ から $5 \times 10^{20}/\text{cm}^2$ の範囲である事を特徴とする第1項記載のMOSトランジスタ。
- (3)半導体基板にゲート絶縁膜とゲート電極を形成する工程と前記半導体基板と反対の導電型の不純物をイオン注入によつて斜め方向から前記基板にイオン注入を行う工程と、ゲート電極の側面にサイドウオールを形成する工程と、前記半導体基板と反対の導電型の2種類の不純物を前記基板に垂直に注入する工程と、熱処理を加え前記イオン注入した不純物を活性化する事をから成るMOSトランジスタの製造方法。
- (4)前記半導体基板と反対の導電型の不純物が1度目のイオン注入はリンであり、 $1 \times 10^{12}/\text{cm}^2$ ～

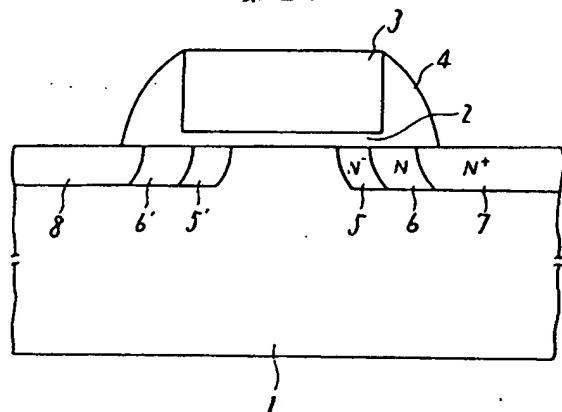
第1図は本発明の一実施例によるMOSトランジスタを示す断面図、第2図は本発明の一実施例によるMOSトランジスタの製造方法を示す図、第3図は従来のLDDMOSトランジスタの構造を示す断面図、第4図は従来のLDDMOSトランジスタの製造工程を示す図、第5図は従来のLDDMOSトランジスタの動作時の状態を示した断面図である。

(1)は半導体基板、(2)はゲート酸化膜、(3)はゲート電極、(4)はサイドウオール酸化膜、(4')はCVD法により形成した酸化膜、(5)は低濃度のN型不純物活性領域、(6)は中濃度のN型不純物活性領域、(7)(8)は高濃度のN型不純物を含むドレイン・ソースである。

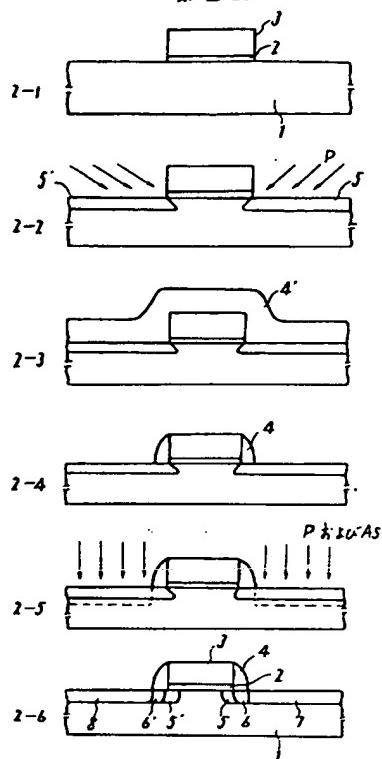
なお、図中、同一符号は同一、又は相当部分を示す。

代理人 大岩 増雄

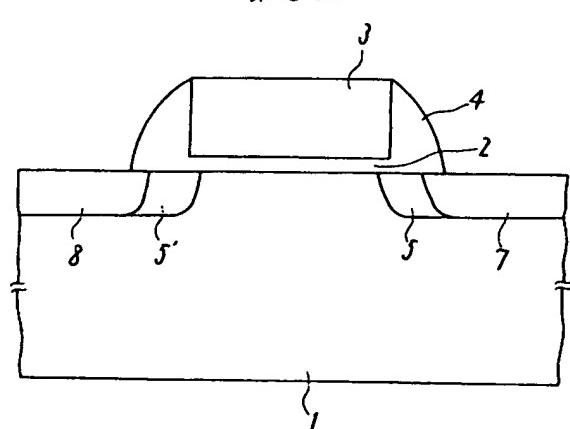
第1図



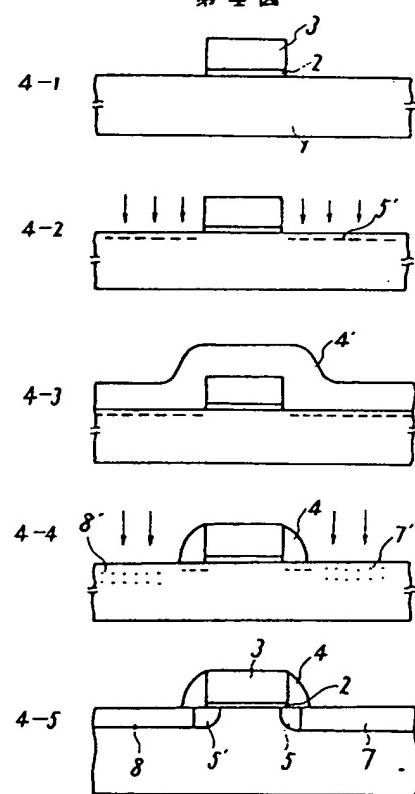
第2図



第3図



第4図



手続補正書(自発)

平成11年8月28日

特許庁長官殿

平特許1-102232号

2. 発明の名称

MOS型半導体装置及びその製造方法

3. 補正をする者

事件との関係 特許出願人
 住 所 東京都千代田区丸の内二丁目2番3号
 名 称 (601)三菱電機株式会社
 代表者 志岐守哉

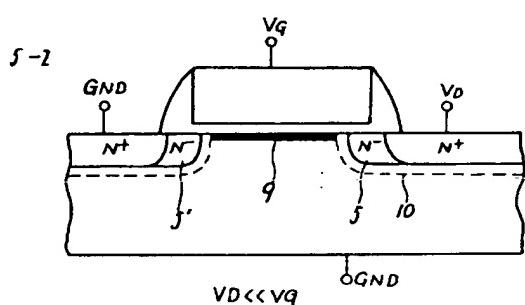
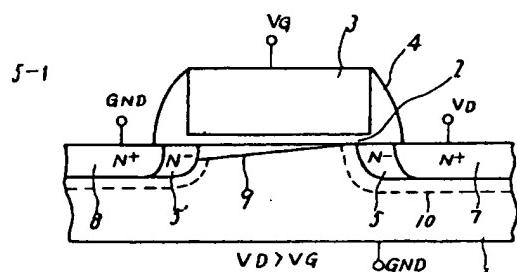
4. 代理人

住 所 東京都千代田区丸の内二丁目2番3号
 氏名 (7375)弁理士 大岩増雄
 (連絡先03(213)3421特許部)

方 式
審査

中島

第5図



5. 補正の対象

明細書の発明の詳細な説明の欄、及び図面の簡単な説明の欄。

6. 補正の内容

(1) 明細書をつきのとおり訂正する。

ページ	行	訂 正 前	訂 正 後
4	18	N _D ≥ N _A	N _D > N _A
5	9	大きい(V _D > V _G)の	大きい(V _D > V _G)ときの
5	11	(V _G ≥ V _D)	(V _G > V _D)
6	20	3極管・5極管	三極管・五極管
8	13	チャネル注入を行なつた後	チャネル注入を行なつた後
8	17	N型不純物リンを	N型不純物であるリンを
9	3	~10 ⁻¹⁴ /cm ³	~10 ¹⁴ /cm ³
			以上